

⑫ 公開特許公報(A)

昭63-208215

⑬ Int.Cl.⁴

H 01 L 21/30

識別記号

3 4 1

庁内整理番号

J-7525-5F

⑭ 公開 昭和63年(1988)8月29日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 電子線描画装置

⑯ 特 願 昭62-40250

⑰ 出 願 昭62(1987)2月25日

⑱ 発 明 者 早 川 肇 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑲ 発 明 者 水 野 文 夫 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

電子線描画装置

2. 特許請求の範囲

1. 所定の描画データに基づいて制御される電子線によって被描画物に所定の図形を描画する複数の電子線描画系と、前記描画データを保持した描画データ格納部と複数の前記電子線描画系との間に介設され、該描画データ格納部から転送される前記描画データを一時的に保持する複数のバッファメモリとを備え、各々の前記電子線描画系は複数の前記バッファメモリのいずれにも接続可能にされていることを特徴とする電子線描画装置。

2. 前記描画データ格納部から複数の前記バッファメモリの各々に互いに異なる図形の描画データがそれぞれ転送され、複数の前記電子線描画系はそれぞれ異なる前記バッファメモリに交互に接続されることを特徴とする特許請求の範囲第1項記載の電子線描画装置。

3. 前記被描画物が、感電子線レジストが塗布された半導体ウェハであり、該半導体ウェハに電子線によって所定の図形を描画して感光させる露光操作を行うことを特徴とする特許請求の範囲第1項記載の電子線描画装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、電子線描画技術に関し、特に、半導体装置の製造におけるリソグラフィにおいて、半導体ウェハなどに塗布された感電子線レジストを電子線の照射によって所定の図形に露光する電子線露光に適用して有効な技術に関する。

〔従来の技術〕

半導体装置の製造などにおける電子線描画技術については、株式会社工業調査会、昭和56年11月10日発行、「電子材料」1981年11月号別冊、P110～P116に記載されている。

ところで、半導体装置の製造におけるリソグラフィ技術においては、半導体素子の微細化および多品種少量化などに対応するため、フォトリソ

などの原版を透過した光によって半導体ウェハに所定の図形を転写する光露光に代えて、感電子線レジストが塗布された半導体ウェハに電子線によって直接的に所定の図形を描画して露光することが行われる場合がある。

この場合、一般に、半導体ウェハに形成される半導体集積回路構造などに基づいて自動設計システムなどによって生成された描画データは、大容量の磁気ディスクなどの記憶媒体に格納され、さらに必要に応じて高速なアクセスが可能なバッファメモリに転送された後、電子光学系などを制御する制御部がバッファメモリに保持された描画データに基づいて電子線を制御することにより、半導体ウェハなどの表面に目的の図形が描画される。
〔発明が解決しようとする問題点〕

一方、前記の描画データは通常極めて大量であり、転送などに比較的長時間を要するため、電子線描画装置による露光操作は光露光などに比較して単位時間当たりの半導体ウェハの処理量が低くなることは避けられないものである。

メモリへの描画データの転送待時間を短縮して、単位時間当たりに処理される被描画物の数量を増加させることが可能な電子線描画技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、所定の描画データに基づいて制御される電子線によって被描画物に所定の図形を描画する複数の電子線描画系と、描画データを保持した描画データ格納部と複数の電子線描画系との間に介設され、この描画データ格納部から転送される描画データを一時的に保持する複数のバッファメモリとを備え、各々の電子線描画系は複数のバッファメモリのいずれにも接続可能にした電子線描画技術を提供するものである。

〔作用〕

このため、たとえば、大容量の磁気ディスクなどの記憶媒体に複数系列のバッファメモリおよび電子線露光系を単に並列に接続して処理量を向上させることが考えられる。

ところが、論理素子などのように、多品種少量の半導体素子を効率良く製造する目的で一次の半導体ウェハの内部に複数種の半導体素子を混在させて形成する場合には、同一の半導体ウェハ内において描画すべき半導体素子の種類毎に、磁気ディスクなどの記憶媒体からバッファメモリに描画データを転送しなければならず、せっかく電子線描画系の数を増加させても、単位時間当たりに処理される半導体ウェハの数量の向上に寄与する程度が低いという問題があることを本発明者は見出した。

このことは、個々の電子線描画系が高価であることを考慮すれば、半導体装置の製造における生産性の向上などにおいて重要な問題となるものである。

本発明の目的は、描画データ格納部からバッファ

上記した手段によれば、たとえば、複数の描画データを保持した描画データ格納部から複数のバッファメモリに互いに異なる描画データを転送しておくとともに、複数の電子線描画系の各々においては、複数のバッファメモリの各々に転送された異なる描画データを互いに競合しないように交互に使用することにより、個々の電子線描画系においては、描画データ格納部からバッファメモリへの描画データの転送待時間を生じることなく、異なる描画データによる異種の図形を連続的に描画することが可能となり、単位時間当たりに描画処理される被描画物の数量を増加させることができる。

〔実施例〕

第1図は、本発明の一実施例である電子線描画装置の要部を示すブロック図である。

本実施例の電子線描画装置は、描画データ格納部1と、複数のバッファメモリM1、バッファメモリM2、バッファメモリM3、バッファメモリM4と、複数の電子線描画系Aおよび電子線描画

系Bとを備えている。

描画データ格納部1は、たとえば大容量磁気ディスクなどで構成されるものであり、図示しない画像処理システムや自動配置配線システムなどからなるデザイン・オートメーションなどによって得られた複数種の図形に関する描画データなどが保持されるものである。

電子線描画系AおよびBは、それぞれ、電子線制御信号発生部2a、電子線描画部3a、および電子線制御信号発生部2b、電子線描画部3bを有している。

電子線描画部3aおよび電子線描画部3bには、電子線源4a、成形器5a、レンズ6a、偏向器7aなどからなる電子光学系8a、および電子線源4b、成形器5b、レンズ6b、偏向器7bなどからなる電子光学系8bがそれぞれ設けられ、各々の電子光学系8aおよび8bの直下には、図示しないX-Yステージに設置されることによって移動自在にされた半導体ウェハなどの被描画物9aおよび被描画物9bが位置するように構成

されている。

そして、電子線源4aおよび4bから放射され、電子光学系8aおよび8bを経て、該電子光学系8aおよび8bの直下に位置決めされた被描画物9aおよび9bにおける複数の矩形の素子形成領域の任意の一つに到達する電子線10aおよび電子線10bの光電子面の形状や到達位置などを、所定の描画データに基づいて電子光学系8aおよび8bの制御信号を発生する電子線制御信号発生部2aおよび2bによって制御することにより、被描画物9aおよび9bの所定の素子形成領域には、電子線10aおよび10bによってそれぞれ所定の図形が描画され、該被描画物9aおよび9bの所定の素子形成領域の表面に塗布されている感電子線レジストなどが所定の図形に露光されるものである。

一方、前記描画データ格納部1と、複数のバッファメモリM1~M4との間には、切換制御部11が介設されており、描画データ格納部1から複数のバッファメモリM1~M4の各々に対して、

互いに異なる図形の描画データが転送されるように構成されている。

この場合、複数のバッファメモリM1~M4と、複数の電子線描画系AおよびBの電子線制御信号発生部2aおよび2bとの間には、電子線制御信号発生部2aおよび2bの複数のバッファメモリM1~M4に対する接続を個別に切り換える切換制御部12が介設されており、複数の電子線制御信号発生部2aおよび2bは、互いに競合することなく、複数のバッファメモリM1~M4の任意の一つに接続される構造とされている。

また、上記の各部は制御計算機13によって統括して管理されるように構成されている。

以下、本実施例の作用について説明する。

被描画物9aおよび9bの各々に異種の半導体素子を混在させて形成する場合を考える。

まず、電子線描画部3aおよび3bには、表面に感電子線レジストが塗布された半導体ウェハなどの被描画物9aおよび9bがセットされ、この被描画物9aおよび9bの各々における複数の矩

形の素子形成領域の各々に形成すべき半導体素子の種類および配列情報などは、予め制御計算機13によって把握されている。

次に、制御計算機13によって切換制御部11を適宜制御することにより、被描画物9aおよび9bに形成すべき複数種の半導体素子に対応する複数の異なる描画データは描画データ格納部1から複数のバッファメモリM1~M4に個別に転送されてそれぞれ保持される。

その後、切換制御部12を適宜作動させることにより、複数の電子線描画系AおよびBの電子線制御信号発生部2aおよび2bは、それぞれ、複数のバッファメモリM1~M4の一つに競合しないように接続される。

たとえば、図示の状態では、電子線制御信号発生部2aおよび2bは、それぞれバッファメモリM1およびバッファメモリM3に接続されている。

さらに、電子線描画部3aおよび3bにおいては、セットされた被描画物9aおよび9bの互いに異なる種類の半導体素子を形成すべき素子形成

領域が、制御計算機13に把握されている配列情報に基づいて電子光学系8aおよび8bの直下に位置決めされる。

そして、電子線描画系Aにおいては、電子線制御信号発生部2aがバッファメモリM1にアクセスして得られる描画データに基づいて電子光学系8aを制御することにより、被描画物9aの所定の一つの素子形成領域に電子線10aによって所定の図形が描画され、該素子形成領域の表面に塗布されている感電子線レジストが所定の図形に露光される。

同時に、電子線描画系Bにおいては、電子線制御信号発生部2bが接続されるバッファメモリM3に保持されている描画データに基づいて電子光学系8bを制御することにより、被描画物9bの所定の矩形の形成領域に被描画物9aとは異なる所定の図形が電子線10bによって描画され、被描画物9bの表面に塗布されている感電子線レジストが所定の図形に露光される。

その後、切換制御部12を適宜制御することに

互いに競合しないように切り換えるとともに、被描画物9aおよび9bにおける複数の素子形成領域の描画順序を適宜制御することにより、描画データ格納部1から複数のバッファメモリM1～M4に対する描画データの転送待時間を生じることなく、複数の電子線描画系AおよびBにおいて、被描画物9aおよび9bの各々の複数の素子形成領域の各々に異なる種類の図形を描画する作業を連続的に行うことが可能となる。

これにより、単位時間当たりに電子線描画によって露光処理される被描画物9aおよび9bの数量を増加させることができる。

(2)、前記(1)の結果、異種の半導体素子が混在して形成される半導体ウエハなどの被描画物9aおよび9bの単位時間当たりの露光数量を増加させる目的で、複数の高価な電子線描画系AおよびBの数を必要以上に増加させる必要がなく、電子線描画装置の性能当たりの価格を低減することができる。

以上本発明者によってなされた発明を実施例に

より、電子線描画系AおよびBの電子線制御信号発生部2aおよび2bは、互いに競合しないように、他の複数のバッファメモリM1～M4の一つに接続が切り換えられるとともに、被描画物9aおよび9bにおいては、電子線制御信号発生部2aおよび2bが接続されたバッファメモリM1～M4の一つに保持されている描画データに対応する素子形成領域が、電子光学系8aおよび8bの直下に位置決めされ、描画データ格納部1から複数のバッファメモリM1～M4に対する描画データの転送待時間などを生じることなく、直ちに電子線10aおよび10bによる所定の図形の描画による露光作業が行われる。

このように、本実施例においては、以下の効果を得ることができる。

(1)、複数の電子線描画系AおよびBの電子線制御信号発生部2aおよび2bが、複数のバッファメモリM1～M4のいずれにも接続可能にされているので、電子線制御信号発生部2aおよび2bの複数のバッファメモリM1～M4に対する接続を、

基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置の製造における電子線露光技術に適用した場合について説明したが、これに限定されるものではなく、電子線の照射による所定の図形の描画技術に広く適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

すなわち、所定の描画データに基づいて制御される電子線によって被描画物に所定の図形を描画する複数の電子線描画系と、前記描画データを保持した描画データ格納部と複数の前記電子線描画系との間に介設され、該描画データ格納部から転送される前記描画データを一時的に保持する複数

のバッファメモリとを備え、各々の前記電子線描画系は複数の前記バッファメモリのいずれにも接続可能にされているので、たとえば、複数の描画データを保持した描画データ格納部から複数のバッファメモリに互いに異なる描画データを転送しておくとともに、複数の電子線描画系の各々においては、複数のバッファメモリの各々に転送された異なる描画データを互いに競合しないように交互に使用することにより、個々の電子線描画系においては、描画データ格納部からバッファメモリへの描画データの転送待時間を生じることなく、異なる描画データによる異種の図形を連続的に描画することが可能となり、単位時間当たりに処理される被描画物の数量を増加させることができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例である電子線描画装置の要部を示すブロック図である。

1・・・描画データ格納部、2a、2b・・・電子線制御信号発生部、3a、3b・・・電子線描画部、4a、4b・・・電子線源、5a、5b

・・・成形器、6a、6b・・・レンズ、7a、7b・・・偏向器、8a、8b・・・電子光学系、9a、9b・・・被描画物、10a、10b・・・電子線、11・・・切換制御部、12・・・切換制御部、13・・・制御計算機、A、B・・・電子線描画系、M1、M2、M3、M4・・・バッファメモリ。

代理人 弁理士 小 川 勝 男



第 1 図

